

RARES IFRIM – INGINER DOCTOR | PROIECTARE RTL & ARHITECTURA CPU

REZUMAT

- Inginer doctor cu peste 6 ani de experienta in Proiectare RTL si Arhitectura CPU.
- Consultant Tehnic cu peste 5 ani de experienta in proiectarea, dezvoltarea si implementarea de solutii software complexe.
- Experienta in RISC-V, accelerare FPGA si optimizare PPA (Putere, Performanta, Arie).
- Experienta dovedita in proiectarea de arhitecturi superscalare si nuclee hardware de inalta frecventa (>500MHz) utilizand Verilog si HLS.
- Imbina cercetarea academica in micro-arhitecturi securizate cu leadership industrial in proiectarea de solutii si managementul echipelor.

EDUCATIE

2021 - 2025: Doctorat Informatica (Accelerare Hardware) - UNSTPB

- Teza: **Sinteza de Nivel Inalt pentru FPGA in contextul aplicatiilor de Criptografie cu Curbe Eliptice (ECC).** Focus pe optimizarea PPA si Paralelism la Nivel de Sarcini.

2019 - 2021: Master Informatica (Arhitectura CPU) - UNSTPB

- Teza: **Solutii micro-arhitecturale impotriva Atacurilor de Tip Canal Lateral in Procesoare Moderne.** Focus pe Predictia Securizata a Ramificatiilor.

2015 - 2019: Licenta Informatica (Proiectare Digitala) - Universitatea Tehnica din Iasi

- Teza: **Implementarea unei Arhitecturi RISC-V Superscalare cu Executie Out-of-Order si Predictia Ramificatiilor.**

COMPETENTE

Proiectare Hardware: Programare RTL & Micro-arhitectura: Verilog si SystemVerilog pentru proiectare de inalta frecventa (>500MHz). Micro-arhitectura CPU (Superscalara, Out-of-Order, Predictia Ramificatiilor). Optimizare PPA, Inchidere Temporală, Utilizarea Resurselor pe FPGA-uri AMD/Xilinx.

Unelte: Vivado, Vitis, Quartus, ModelSim/Quarta, automatizare bazata pe Tcl, GDB, analizoare logice

Arhitectura: RISC-V (extensii personalizate, proiectare pipeline), protocoale de coerenta cache, ierarhii de memorie, mitigarea atacurilor de canal lateral la nivel micro-arhitectural

Limbaje de Programare: C/C++, Rust (Programare de Sisteme), Python, Bash, Tcl (Scripting/Automatizare EDA)

Sisteme: Sisteme incorporate, proiectare SoC multi-core, management memorie kernel Linux, co-proiectare hardware-software

Profesionale: Leadership Tehnic, metodologie Agile/Scrum, Arhitectura Solutiilor, Mentorat, Documentatie Tehnica

CERTIFICARI

2026: ServiceNow Certified Implementation Specialist - Data Foundations (CMDB si CSDM)

2026: ITIL Foundation V4

2025: Program de Pregatire Psiho-Pedagogica (Nivelele I + II) - POLITEHNICA Bucuresti

2021: ServiceNow Certified Application Developer

2020: ServiceNow Certified Implementation Specialist - Risk and Compliance

2020: ServiceNow Certified Implementation Specialist - Discovery

2019: ServiceNow Certified System Administrator

EXPERIENTA PROFESIONALA

2021 - Prezent - Asistent Universitar. Facultatea de Automatica si Calculatoare, UPB

Roluri in Proiect: Lector, Instructor de Laborator, Cercetator

Responsabilitati:

- Predarea cursurilor de Arhitecturi Avansate de Procesoare si Organizarea si Proiectarea Calculatoarelor.
- Conducerea laboratoarelor de Proiectare RTL in Verilog: Sumatoare Carry-Lookahead, Unitati in Virgula Flotanta, Periferic UART, FSM-uri si microprocesoare RISC-V in pipeline de 5 etape.
- Indrumarea studentilor in Prototipare FPGA si optimizare a logicii digitale pentru timp si arie.
- Cercetare in dispozitive medicale portabile: proiectarea si implementarea de solutii bazate pe MCU pentru colectarea datelor in cloud.

Tehnologii Utilizate: Verilog, SystemVerilog, Vivado, Vitis, FPGA, RISC-V, C/C++, Python

2019 - Prezent - Consultant Tehnic. iTSM Group

Roluri in Proiect: Lider Tehnic Senior, Arhitect de Solutii

Responsabilitati:

- Conducerea unei echipe tehnice in arhitecturi de solutii complexe si integrarea sistemelor.
- Traducerea cerintelor de business de nivel inalt in specificatii tehnice robuste si fluxuri software.
- Depanare la nivel expert a sistemelor distribuite la scara larga si optimizarea bottleneck-urilor de performanta.

Tehnologii Utilizate: ServiceNow, platforme ITSM, Agile/Scrum, Arhitectura Solutiilor

2025 - Stagiari Doctorand (Hardware/Sisteme). Eclipse Labs

Roluri in Proiect: Stagiari Hardware/Sisteme

Responsabilitati:

- Proiectarea unui Planificator Central de Tranzactii pentru Solana Virtual Machine (SVM).
- Implementarea unui planificator nou in Rust folosind Filtre Bloom si Hashing Xoodoo, optimizat pentru executie paralela de mare debit.

Tehnologii Utilizate: Rust, Filtre Bloom, Xoodoo Hashing, Solana VM

2023 - 2024 - Asistent de Cercetare. Singapore Blockchain Innovation Programme, NUS

Roluri in Proiect: Cercetator Acceleratoare Hardware FPGA, Asistent Didactic

Responsabilitati:

- Proiectarea si implementarea acceleratoarelor hardware bazate pe FPGA pentru verificarea semnaturii (ECDSA/secp256k1).
- Utilizarea Sintezei de Nivel Inalt (HLS) si a RTL Verilog pentru obtinerea unui debit inalt pe FPGA-uri AMD Alveo.
- Predarea cursului CS5224 Cloud Computing si Big Data la Scoala de Calculatoare din NUS.

Tehnologii Utilizate: HLS, Verilog RTL, AMD Alveo FPGAs, ECDSA, secp256k1

2017 - 2018 - Stagiari Ingineri Hardware. Continental & Assystem

Responsabilitati:

- Dezvoltarea unei interfete HAL pentru unitati SRAM pe microcontrolere Infineon 32-bit AURIX TriCore.
- Construirea unei masini autonome folosind microcontrolere AVR si procesare de imagini in timp real.

Tehnologii Utilizate: C/C++, Infineon AURIX TriCore, AVR, procesare imagini in timp real

PUBLICATII STIINTIFICE

Articole in Reviste

1. R. Ifrim si D. Popescu, "BPAP: Proiectare FPGA a unui Procesor de Tip RISC pentru Criptografie cu Curbe Eliptice folosind Programare Paralela la Nivel de Sarcini in Sinteza de Nivel Inalt," Cryptography, vol. 9, nr. 1, p. 20, 2025.

2. A. Channa, G. Ruggeri, R.-C. Ifrim et al., "Bratara conectata in cloud pentru monitorizarea continua a pacientilor cu boala Parkinson: Integrarea tehnologiilor wearable avansate si a invatarii automate," Electronics, vol. 13, nr. 6, p. 1002, 2024.
3. R. Ifrim, D. Loghin si D. Popescu, "O recenzie sistematica a implementarilor hardware rapide, scalabile si eficiente ale criptografiei cu curbe eliptice pentru blockchain," ACM Transactions on Reconfigurable Technology and Systems, vol. 17, nr. 4, pp. 1-33, 2024.
4. C.-D. Avatavului, R.-C. Ifrim si M. Voncila, "Pot retelele neuronale imbunatati simulatoarele fizice?" BRAIN. Broad Research in Artificial Intelligence and Neuroscience, vol. 14, nr. 2, pp. 76-92, 2023.
5. A. Channa, R.-C. Ifrim, D. Popescu si N. Popescu, "Bratara A-wear pentru detectia tremorului manual si bradikinezie la pacientii cu Parkinson," Sensors, vol. 21, nr. 3, p. 981, 2021.
6. R.-C. Ifrim, P. Penariu si C.-A. Boiangiu, "Replicarea unui motor fizic bazat pe impulsuri folosind retele neuronale clasice," Journal of Information Systems & Operations Management, vol. 15, nr. 2, 2021.

Articole in Conferinte

7. R. Ifrim, D. Loghin si D. Popescu, "Baldur: O Baza de Date Blockchain Hibrida cu Accelerare FPGA sau GPU," in Proceedings of the 1st Workshop on Verifiable Database Systems, 2023, pp. 19-27.
8. A. Channa, G. Ruggeri, N. Mammone, R.-C. Ifrim et al., "Estimarea severitatii bolii Parkinson folosind invatare profunda si tehnologie cloud," in 2022 IEEE International Conference on Omni-layer Intelligent Systems (COINS), IEEE, 2022, pp. 1-7.

Preprinturi / Diverse

9. R. Ifrim si D. Popescu, "Analiza capabilitatilor instrumentelor HLS si RTL in proiectarea unui multiplicator Montgomery pe FPGA," 2025. arXiv: 2509.08067 [cs.AR].
10. C. Rotaru, R. Ifrim si S. Coman, "RISC-V pe Steroizi Statici," hackster.io, 2019.

PROIECTE PERSONALE (GITHUB)

secp256k1-risc-processor: Implementari de nuclee HLS C++ pentru BPAP - un Procesor de Tip RISC pentru Adunarea de Puncte pe Curbe Eliptice. Cel mai bun design BPAP la 385 MHz: -3.444.480 adunari de puncte/secunda; cea mai buna configuratie Point Multiplication la 320 MHz: -9.108 inmultiri/secunda.

secp256k1-fpga-cpp-kernel: Nucleu Hardware C++ pentru FPGA folosind toolchain-ul Vitis implementand verificarea semnaturii secp256k1 in pipeline. 12.150 verificari/sec pe FPGA Varium si 18.060 verificari/sec pe Alveo U250 la 125 MHz.

dsp-wrappers: Colectie de wrapper-uri DSP in Verilog care instantiaza primitive DSP pentru operatii aritmetice (inmultire, adunare, inmultire-adunare) pe campuri de 24/32/64 biti.

xilinx-primitive-adders: Sumatoare optimizate care vizeaza primitivele lantului CARRY in FPGA-uri AMD/Xilinx pentru sumatoare de latime mare in variante pipeline si non-pipeline.

riscv-on-rust: Model software SoC RISC-V in Rust pentru simularea comportamentului pipeline-accurate in proiectari SoC personalizate, cu ierarhii de memorie configurabile (niveluri cache, UART etc.).

re-schedule: Crate Rust pentru simularea planificarii tranzactiilor in Solana VM, cu strategii secventiale, round-robin, greedy si un algoritim propriu bazat pe Filtre Bloom.

montgomeryb12-381: Implementari Verilog ale unui Multiplicator Modulo Montgomery pentru campul BLS12-381 (paralel, serial, pipeline, optimizat BRAM), folosind exclusiv DSP-uri pentru aritmetica.

ethereum-crosschain-testnet: Implementarea de lanturi Ethereum multiple intr-un cluster Docker Swarm cu puncti LayerZero pentru tranzactii cross-chain. Implementat in Python + Bash.

gkr-sat-ip: Implementarea protocolului GKR bazat pe Sumcheck pentru un circuit SAT in format CNF (dupa Justin Thaler, ProofsArgsAndZK). Utilizat pentru invatarea Rust si Dovezilor Zero-Knowledge.

nn-physics-engine: Proiect C++ care extinde Box2D-Lite cu o biblioteca de Retele Neuronale antrenata sa reproduca sistemul de coliziuni, comparand acuratetea retelei neuronale cu modelarea clasica a ecuatiilor fizice.